

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Naoki KUMAGAI et al.

Serial No.: NEW APPLICATION

Filed: May1, 2001

For: INTELLIGENT POWER MODULE

J1040 U.S. PTO
09/845787
05/01/01

Steven
#5
10-19-01

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2000-137154 May 1, 2000

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

05/01/01
Date

Marc A. Rossi
Marc A. Rossi
Registration No. 31,923

Attorney Docket: FUJI:187

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

J1040 U.S. PTO
09/845787
05/01/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 5月 1日

出 願 番 号
Application Number:

特願2000-137154

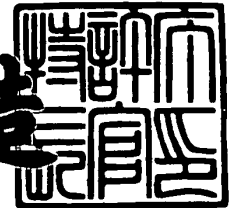
出 願 人
Applicant(s):

富士電機株式会社

2001年 1月19日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3114470

【書類名】 特許願

【整理番号】 00P00552

【提出日】 平成12年 5月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H02H 7/10
H02M 1/00

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式
会社内

【氏名】 熊谷 直樹

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式
会社内

【氏名】 小谷部 和徳

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式
会社内

【氏名】 松田 尚孝

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100091281

【弁理士】

【氏名又は名称】 森田 雄一

【電話番号】 03-3234-8177

【手数料の表示】

【予納台帳番号】 044303

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006576

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 インテリジェントパワーモジュール

【特許請求の範囲】

【請求項 1】 電力用半導体スイッチング素子と、このスイッチング素子の駆動電源を含む駆動手段と、前記スイッチング素子または駆動手段の致命的異常及びその前段階の前兆的異常を検出する異常検出手段と、この異常検出手段による異常検出時に前記スイッチング素子の保護動作を行う保護手段と、前記異常検出手段による異常検出信号に基づく信号を外部に出力する異常出力手段と、を備えたインテリジェントパワーモジュールにおいて、

前記異常出力手段は、

前記異常検出手段により致命的異常が検出された場合にアラーム信号を出力する出力端子と、致命的異常及び前兆的異常を含む異常要因を示す異常要因識別信号を出力する出力端子と、を有することを特徴とするインテリジェントパワーモジュール。

【請求項 2】 請求項 1 に記載したインテリジェントパワーモジュールにおいて、

前記異常要因識別信号をシリアル信号として出力することを特徴とするインテリジェントパワーモジュール。

【請求項 3】 請求項 1 または 2 に記載したインテリジェントパワーモジュールにおいて、

前記アラーム信号を出力する出力端子と前記異常要因識別信号を出力する出力端子とが同一の端子であることを特徴とするインテリジェントパワーモジュール。

【請求項 4】 請求項 1, 2 または 3 に記載したインテリジェントパワーモジュールにおいて、

前記異常要因識別信号が、外部から入力された異常要因出力要求信号に同期して出力されることを特徴とするインテリジェントパワーモジュール。

【請求項 5】 請求項 4 に記載したインテリジェントパワーモジュールにおいて、

前記異常要因出力要求信号は一定時間の伝送準備信号を有し、この伝送準備信号により前記異常出力手段内のパラレルイン／シリアルアウトシフトレジスタに格納された異常要因識別信号を更新し、前記伝送準備信号に続く読み出しクロックにより前記シフトレジスタから異常要因識別信号を出力させることを特徴とするインテリジェントパワーモジュール。

【請求項6】 請求項4または5に記載したインテリジェントパワーモジュールにおいて、

前記致命的異常が発生した場合には前記異常要因出力要求信号の有無に関わらず前記異常出力手段からアラーム信号を出力し、前記前兆的異常が発生した場合には前記異常要因出力要求信号に同期させて前記異常出力手段から異常要因識別信号を時間的に分離して出力することを特徴とするインテリジェントパワーモジュール。

【請求項7】 請求項1, 2, 3, 4, 5または6に記載したインテリジェントパワーモジュールにおいて、

前記致命的異常が発生した場合には前記半導体スイッチング素子を自己遮断することを特徴とするインテリジェントパワーモジュール。

【請求項8】 請求項1, 2, 3, 4, 5, 6または7に記載したインテリジェントパワーモジュールにおいて、

前記半導体スイッチング素子が単相ブリッジ構成されていることを特徴とするインテリジェントパワーモジュール。

【請求項9】 請求項1, 2, 3, 4, 5, 6または7に記載したインテリジェントパワーモジュールにおいて、

前記半導体スイッチング素子が3相ブリッジ構成されていることを特徴とするインテリジェントパワーモジュール。

【請求項10】 請求項8または9に記載したインテリジェントパワーモジュールにおいて、

ブリッジ構成された上アームの半導体スイッチング素子に対応する前記異常検出手段からの異常検出信号を高耐圧レベルシフタを介して下アーム側に伝送することを特徴とするインテリジェントパワーモジュール。

【請求項 11】 請求項 10 に記載したインテリジェントパワーモジュールにおいて、

前記高耐圧レベルシフタが複数の異常検出信号を平行伝送することを特徴とするインテリジェントパワーモジュール。

【請求項 12】 請求項 10 に記載したインテリジェントパワーモジュールにおいて、

前記複数の異常検出信号をコード化して前記高耐圧レベルシフタにより平行伝送することを特徴とするインテリジェントパワーモジュール。

【請求項 13】 請求項 10 に記載したインテリジェントパワーモジュールにおいて、

前記複数の異常検出信号をシリアル信号に変換して高耐圧レベルシフタにシリアル伝送することを特徴とするインテリジェントパワーモジュール。

【請求項 14】 電力用半導体スイッチング素子と、このスイッチング素子の駆動電源を含む駆動手段と、前記スイッチング素子または駆動手段の致命的異常及びその前段階の前兆的異常を検出する異常検出手段と、この異常検出手段による異常検出時に前記スイッチング素子の保護動作を行う保護手段と、前記異常検出手段による異常検出信号に基づく信号を外部に出力する異常出力手段と、を備えたインテリジェントパワーモジュールにおいて、

前記異常出力手段は、

前記異常検出手段により致命的異常が検出された場合にアラーム信号を出力する出力端子と、前記異常検出手段により前兆的異常が検出された場合にウォーニング信号を出力する別個の出力端子と、を備え、

これらの各出力端子の出力信号の組み合わせによって異常要因を識別することを特徴とするインテリジェントパワーモジュール。

【請求項 15】 請求項 14 に記載したインテリジェントパワーモジュールにおいて、

前記半導体スイッチング素子がブリッジ構成されており、上アームの半導体スイッチング素子に対応する前記異常検出手段からの致命的異常を示す異常検出信号と下アームの半導体スイッチング素子に対応する前記異常検出手段からの致命

的異常を示す異常検出信号との論理和をとって前記アラーム信号を生成し、

上アームの半導体スイッチング素子に対応する前記異常検出手段からの前兆的異常を示す異常検出信号と下アームの半導体スイッチング素子に対応する前記異常検出手段からの前兆的異常を示す異常検出信号との論理和をとって前記ウォーニング信号を生成することを特徴とするインテリジェントパワーモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、PWMインバータ、無停電電源などの電力変換装置に使用されるパワーモジュールであって、電力用半導体スイッチング素子とその駆動回路、保護回路を内蔵したインテリジェントパワーモジュール（Intelligent Power Module：以下、必要に応じてIPMという）に関する。

【0002】

【従来の技術】

図6は、従来のIPMのブロック構成図である。なお、IPMは通常3相であるが、説明の便宜上、单相の場合を示している。

図6において、11～14は例えばPWMインバータを構成するブリッジ接続された半導体スイッチング素子としてのIGBT、21～24はこれらのIGBT11～14に逆並列接続されたフリーホイーリングダイオード（FWD）、31～34はIGBT11～14の駆動回路、61～64はIGBT駆動回路31～34を制御する制御回路、411，421，431，441は上下アーム短絡や地絡時にIGBT11～14を流れる過電流を検出するための過電流検出回路、412，422，432，442はIGBT11～14の過熱検出回路、413，423，433，443はIGBT11～14を駆動するために必要な制御電源電圧の低下を検出する駆動電圧低下検出回路、51～54は各検出回路からの異常検出信号が入力され、制御回路61～64を経由して駆動回路31～34に遮断信号を送出すると共に、外部にアラーム信号を出力するための異常検出口ジックである。また、インバータ主回路において、P，Nは直流入力端子、U，Vは交流出力端子を示す。

【0003】

図6において、制御回路61～64は、図示されていない光絶縁を行うフォトカプラ等の絶縁形信号伝送素子からの信号（制御入力）に基づき、IGBT駆動回路31～34を介してIGBT11～14のオン、オフを制御する。

また、前述のように異常検出ロジック51～54は、各検出回路からの各種異常検出信号の少なくとも一つを検出すると、致命的な異常（重故障）と判断してそれぞれIGBT駆動回路31～34を介しIGBT11～14を遮断する。ここで、一つの異常検出ロジックの出力信号によってすべてのIGBT11～14を遮断することもできる。

そして、異常検出ロジック51～54は、異常が発生したことを外部に伝えるために、制御回路61～64を介してアラーム信号をアラーム信号出力端子130から出力する。ここで、アラーム信号は安全上、フォトカプラ等により絶縁して外部に出力される。

【0004】

なお、図6の例では、下アームの異常検出ロジック51，53のみからワイヤードオアによりアラーム信号が出力されるが、上アームの異常検出ロジック52，54からの異常検出信号もそれぞれ絶縁したうえでアラーム信号として出力させることが可能である。

【0005】

また、他の従来技術として、特許第2886495号公報に記載されたMOSゲートドライバ回路が知られている。この従来技術は、過電流検知、遮断及び報知出力を有する高電圧側スイッチング回路のためのMOSゲートドライバ回路に関するものである。

【0006】

【発明が解決しようとする課題】

図6に示した従来技術ではアラーム信号が1種類であるため、3相の場合には6個のIGBTまたはフリーホイーリングダイオードのうちどの相の素子でどのような異常が発生したのか、外部からは判断できない。異常発生箇所（相や素子など）とその異常要因とを識別できればその要因を取り除くことが容易になる

ため、近年では異常発生箇所及び異常要因を信号として I P M の外部に出力することが要求されてきている。

【 0 0 0 7 】

また、致命的異常になる前の前兆的な異常現象を検出できればトリップレス運転（素子遮断を伴わない運転）を行うことが可能になり、このためにも異常要因を識別できることが要求されている。トリップレス運転は、例えば I G B T の過熱の場合には、I G B T の温度が致命的になる前段階の前兆的異常として若干低いしきい値温度を超えた場合にウォーニング（警告）信号を出力させるようにし、このウォーニング信号が出力された場合には、素子を流れる電流の最大値を低く抑える、キャリア周波数を低減させるなどの制御を行うことにより実現される。これにより、そのまま放置すれば致命的異常に至るような温度上昇を抑制し、I G B T を過熱から保護することができる。

【 0 0 0 8 】

しかしながら、異常要因を詳細に知るために各相の各種異常検出信号のそれぞれをアラーム出力させて異常要因を識別させるようにすると、アラーム信号の出力端子数が増加すると共に、安全面から使用される絶縁用のフォトカブラが多数必要になり、コストが増加する。

また、異常要因に応じて多種類のアラーム信号を出力可能な I P M を、アラーム信号が 1 種類である従来の I P M に対して互換性を持たせるためには、システムの構成を変更しなければならないという問題がある。

【 0 0 0 9 】

更に、特許第 2 8 8 6 4 9 5 号公報に記載された M O S ゲートドライバ回路においては、もっぱら素子を流れる過電流の検出及びそのアラーム出力を目的としており、その他の異常要因や前兆的異常については考慮されていない。

【 0 0 1 0 】

そこで本発明は、異常要因の識別を必要としない従来のシステムに対しても互換性を持たせると共に、致命的異常や前兆的異常の各種異常要因を識別する要求が外部からあればこれに対応して各種異常要因を出力可能とした I P M を提供することを目的とする。

また、本発明は、致命的異常が発生した場合のアラーム信号と前兆的異常が発生した場合のウォーニング信号とをそれぞれ別個の出力端子または同一の出力端子から出力させ、これらの出力信号の論理の組み合わせによって異常要因を識別可能とした I P M を提供することを目的とする。

【 0 0 1 1 】

【発明が解決しようとする課題】

上記課題を解決するため、請求項 1 記載の発明は、電力用半導体スイッチング素子と、このスイッチング素子の駆動電源を含む駆動手段と、前記スイッチング素子または駆動手段の致命的異常及びその前段階の前兆的異常を検出する異常検出手段（後述の各実施形態における駆動電圧低下検出回路、駆動電圧低下ウォーニング回路、素子の過熱検出回路、過熱ウォーニング回路、過電流検出回路など）と、この異常検出手段による異常検出時に前記スイッチング素子の保護動作を行う保護手段（素子を遮断するための異常検出ロジックや素子駆動回路など）と、前記異常検出手段による異常検出信号に基づく信号を外部に出力する異常出力手段（伝送回路など）と、を備えたインテリジェントパワーモジュールに関するものである。

そして、請求項 1 記載の発明において、前記異常出力手段は、前記異常検出手段により致命的異常が検出された場合にアラーム信号を出力する出力端子と、致命的異常及び前兆的異常を含む異常要因を示す異常要因識別信号を出力する出力端子と、を有している。

【 0 0 1 2 】

請求項 2 に記載した発明は、請求項 1 に記載したインテリジェントパワーモジュールにおいて、前記異常要因識別信号をシリアル信号として出力するものである。

【 0 0 1 3 】

請求項 3 に記載した発明は、請求項 1 または 2 に記載したインテリジェントパワーモジュールにおいて、前記アラーム信号を出力する出力端子と前記異常要因識別信号を出力する出力端子とが同一の端子であることを特徴とする。これにより、アラーム信号に続けて異常要因識別信号をシリアル信号として出力させるこ

とができる。

【 0 0 1 4 】

請求項 4 に記載した発明は、請求項 1，2 または 3 に記載したインテリジェントパワーモジュールにおいて、前記異常要因識別信号が、外部から入力された異常要因出力要求信号に同期して出力されることを特徴とする。すなわち、異常要因出力要求信号を読み出しクロックとして致命的異常及び前兆的異常に関する異常要因識別信号が外部に出力される。

【 0 0 1 5 】

請求項 5 に記載した発明は、請求項 4 に記載したインテリジェントパワーモジュールにおいて、前記異常要因出力要求信号は一定時間の伝送準備信号を有し、この伝送準備信号により前記異常出力手段内のパラレルイン／シリアルアウトシフトレジスタに格納された異常要因識別信号を更新し、前記伝送準備信号に続く読み出しクロックにより前記シフトレジスタから異常要因識別信号を出力させるものである。上記伝送準備信号によって伝送回路等の内部のパラレルイン／シリアルアウトシフトレジスタのデータ（異常要因識別信号）が更新され、その後の読み出しクロックによって異常要因識別信号がシリアル信号として順次出力される。

【 0 0 1 6 】

請求項 6 に記載した発明は、請求項 4 または 5 に記載したインテリジェントパワーモジュールにおいて、前記致命的異常が発生した場合には前記異常要因出力要求信号の有無に関わらず前記異常出力手段からアラーム信号を出力し、前記前兆的異常が発生した場合には前記異常要因出力要求信号に同期させて前記異常出力手段から異常要因識別信号を時間的に分離して出力するものである。

すなわち、致命的異常によるアラーム信号は異常要因出力要求信号が入力されない場合にも出力され、前兆的異常が発生した場合には異常要因出力要求信号が入力されて初めて異常要因識別信号が出力される。

【 0 0 1 7 】

請求項 7 に記載した発明は、請求項 1，2，3，4，5 または 6 に記載したインテリジェントパワーモジュールにおいて、前記致命的異常が発生した場合には

前記半導体スイッチング素子の駆動回路を介して素子を自己遮断するものである。

【 0 0 1 8 】

請求項 8 に記載した発明は、請求項 1, 2, 3, 4, 5, 6 または 7 に記載したインテリジェントパワーモジュールにおいて、前記半導体スイッチング素子が単相ブリッジ構成されていることを特徴とする。

【 0 0 1 9 】

請求項 9 に記載した発明は、請求項 1, 2, 3, 4, 5, 6 または 7 に記載したインテリジェントパワーモジュールにおいて、前記半導体スイッチング素子が 3 相ブリッジ構成されていることを特徴とする。

【 0 0 2 0 】

請求項 1 0 に記載した発明は、請求項 8 または 9 に記載したインテリジェントパワーモジュールにおいて、ブリッジ構成された上アームの半導体スイッチング素子に対応する前記異常検出手段からの異常検出信号を、高耐圧レベルシフタを介して下アーム側に伝送するものである。こうして下アーム側に伝送された異常検出信号は、下アーム側の異常検出信号と共に異常出力手段に送られたり、下アーム側の半導体スイッチング素子も同時に遮断するために用いられる。

【 0 0 2 1 】

請求項 1 1 に記載した発明は、請求項 1 0 に記載したインテリジェントパワーモジュールにおいて、前記高耐圧レベルシフタが複数の異常検出信号を平行伝送することを特徴とする。

【 0 0 2 2 】

請求項 1 2 に記載した発明は、請求項 1 0 に記載したインテリジェントパワーモジュールにおいて、前記複数の異常検出信号をエンコーダによりコード化して前記高耐圧レベルシフタにより平行伝送するものである。

【 0 0 2 3 】

請求項 1 3 に記載した発明は、請求項 1 0 に記載したインテリジェントパワーモジュールにおいて、前記複数の異常検出信号を平行イン／シリアルアウトシフトレジスタなどによりシリアル信号に変換して高耐圧レベルシフタにシリア

ル伝送するものである。

【 0 0 2 4 】

請求項 1 4 に記載した発明は、請求項 1 と同様に、電力用半導体スイッチング素子と、このスイッチング素子の駆動電源を含む駆動手段と、前記スイッチング素子または駆動手段の致命的異常及びその前段階の前兆的異常を検出する異常検出手段（後述の各実施形態における駆動電圧低下検出回路、駆動電圧低下ウォーニング回路、素子の過電流検出回路、過熱検出回路、過熱ウォーニング回路など）と、この異常検出手段による異常検出時に前記スイッチング素子の保護動作を行う保護手段（素子を遮断するための異常検出ロジックや素子駆動回路など）と、前記異常検出手段による異常検出信号に基づく信号を外部に出力する異常出力手段（伝送回路など）と、を備えたインテリジェントパワーモジュールに関するものである。

そして、請求項 1 4 の発明において、前記異常出力手段は、前記異常検出手段により致命的異常が検出された場合にアラーム信号を出力する出力端子と、前記異常検出手段により前兆的異常が検出された場合にウォーニング信号を出力する別個の出力端子とを備えている。このような構成により、各出力端子の出力信号の論理の組み合わせによって異常要因を識別するものである。

【 0 0 2 5 】

請求項 1 5 に記載した発明は、請求項 1 4 に記載したインテリジェントパワーモジュールにおいて、前記半導体スイッチング素子がブリッジ構成されており、上アーム側の致命的異常を示す異常検出信号と下アーム側の致命的異常を示す異常検出信号との論理和をとって前記アラーム信号を生成し、上アーム側の前兆的異常を示す異常検出信号と下アーム側の前兆的異常を示す異常検出信号との論理和をとって前記ウォーニング信号を生成するものである。これらのアラーム信号及びウォーニング信号の論理の組み合わせにより、駆動電源電圧低下や素子過熱などの異常要因を識別する。

【 0 0 2 6 】

【発明の実施形態】

以下、図に沿って本発明の実施形態を説明する。まず、図 1 は本発明の第 1 実

施形態を示す回路ブロック構成図であり、図6と同一の構成要素には同一の参照符号を付してある。また、図1以下の実施形態において、各ブロック間の信号伝送路を太線の矢印で表した部分は信号が平行伝送されることを示す。

【0027】

この実施形態では、各相にそれぞれ単一の制御回路（下アーム制御回路）91，92が設けられている。これらの制御回路91，92から高耐圧ICなどからなる高耐圧レベルシフタ71，72を介してIGBT駆動回路32，34に制御信号が入力され、上アームのIGBT12，14がオン、オフ制御される。下アームのIGBT11，13は、制御回路91，92から直接、IGBT駆動回路31，33に制御信号が入力されてオン、オフ制御される。

【0028】

上記構成により、上アームのIGBT12，14には下アームのIGBT11，13を基準とする制御信号（レベルシフト信号）が伝送されてIGBT12，14のオン、オフを制御する。通常、この制御信号は、レベルシフタ71，72における損失を低減するために短いオンパルス及びオフパルスとして伝送され、レベルシフタ71，72内のSR（セット・リセット）フリップフロップにより状態信号に再変換されてIGBT駆動回路32，34に送られる。

【0029】

また、本実施形態では、各IGBT11～14に対応する検出回路として、図6に示した各種検出回路の他に、フリーホイーリングダイオード（FWD）過熱検出回路414，424，434，444と、駆動電圧低下ウォーニング回路415，425，435，445と、IGBT過熱ウォーニング回路416，426，436，446とを備えている。ここで、駆動電圧低下ウォーニング回路415，425，435，445及びIGBT過熱ウォーニング回路416，426，436，446は、駆動電圧低下やIGBT温度が致命的異常と判断されるよりも低いしきい値（駆動電圧低下では高いしきい値）に達したときに前兆的異常と判断してウォーニング信号を出力するものである。

【0030】

なお、この実施形態では、過電流検出回路411，421，431，441、

過熱検出回路412, 422, 432, 442、駆動電圧低下検出回路413, 423, 433, 443、FWD過熱検出回路414, 424, 434, 444の出力信号をアラーム信号と呼び、駆動電圧低下ウォーニング回路415, 425, 435, 445及びIGBT過熱ウォーニング回路416, 426, 436, 446の出力信号をウォーニング信号と呼ぶ。また、アラーム信号及びウォーニング信号の両者をまとめて異常検出信号と呼ぶことにする。

【0031】

上アームの異常検出ロジック52, 54の出力側には高耐圧ICなどからなる高耐圧レベルシフタ81, 82が設けられ、これらの出力信号は制御回路91, 92に入力されている。これらのレベルシフタ81, 82は、上アーム側（直流の高電位側）の異常検出信号のレベルを下アーム側（直流の低電位側）のレベルに変換するためのものである。

【0032】

異常検出ロジック51～54は、上アーム、下アーム何れの場合も、致命的異常が発生して少なくとも一つのアラーム信号が入力された場合にのみ駆動回路31～34を介してIGBT11～14を一定期間遮断し、ウォーニング信号が入力された場合にはIGBT11～14を遮断しない。

すなわち、上アームの異常検出ロジック52, 54にアラーム信号が入力された場合には、IGBT駆動回路32, 34によりIGBT12, 14が一定期間遮断される。また、異常検出ロジック52, 54に異常検出信号（アラーム信号またはウォーニング信号）が入力された場合には、これらの異常検出信号がレベルシフタ81, 82を介して制御回路91, 92に伝送され、ラッチされる。制御回路91, 92では、アラーム信号がラッチされるとレベルシフタ71, 72に向けて上アームのIGBT12, 14に対するオフ信号を出力すると共に、それ以後、上アームが再度オンすることを禁止する。

【0033】

下アームについても、致命的な異常によりアラーム信号が異常検出ロジック51, 53に入力された場合に、IGBT駆動回路31, 33によりIGBT11, 13が一定期間遮断される。また、異常検出ロジック51, 53に異常検出信

号（アラーム信号またはウォーニング信号）が入力された場合には、これらの異常検出信号が制御回路 9 1, 9 2 に伝送され、ラッチされる。そして、アラーム信号がラッチされると I G B T 駆動回路 3 1, 3 3 に向けて I G B T 1 1, 1 3 のオフ信号を出力すると共に、それ以後、I G B T 1 1, 1 3 が再度オンすることを禁止する。

【 0 0 3 4 】

制御回路 9 1, 9 2 によりラッチされた異常検出信号は、図示されていない電源オンリセット信号または外部からのリセット信号によってリセットされるまで保持される。

また、伝送回路 1 1 0 は、システム側からの異常要因出力要求信号が入力端子 1 2 0 から入力されると、制御回路 9 1, 9 2 にラッチされている異常検出信号のうち後述する異常要因識別信号を読み出し、前記異常要因出力要求信号に同期してアラーム信号出力端子 1 3 0 から出力する。

【 0 0 3 5 】

次に、図 2 は、この実施形態における異常要因出力要求信号と異常要因識別／アラーム信号とのタイミングを示すタイミングチャートである。図 2 (a) は図 1 の入力端子 1 2 0 から入力される異常要因出力要求信号のタイミングチャートを、図 2 (b) は図 1 の出力端子 1 3 0 から出力される異常要因識別／アラーム信号であってアラーム信号がない場合のタイミングチャートを、図 2 (c) は同じくアラーム信号がある場合のタイミングチャートを示している。

【 0 0 3 6 】

図 2 において、異常要因出力要求信号の立ち下がリエッジで伝送回路 1 1 0 内のシリアル出力用のパラレルイン／シリアルアウトシフトレジスタに伝送すべき異常検出信号をシフトし、異常要因出力要求信号の立ち下がリエッジでシステム側から異常検出信号（異常要因識別信号）を読み出す。異常要因出力要求信号の最初には読み出し信号クロック周期（例えば $1 \mu s \sim 100 \mu s$ ）よりも長い伝送準備信号（スタート信号）が付加され、一定時間（ t_{d1} ：例えば $200 \mu s$ ）以上「High」レベル期間が継続するとシリアル伝送モードとなり、その後の異常要因出力要求信号の立ち下がりで制御回路 9 1, 9 2 にラッチされていた異常

要因識別信号が伝送回路 1 1 0 内のシフトレジスタに読み込まれる。このように、伝送直前にシフトレジスタ内のデータを更新するのは、異常要因出力要求信号がない期間にノイズによって異常要因出力要求信号ありと誤認した場合にシリアル信号のビットずれが発生するのを防止するためである。

【 0 0 3 7 】

また、図 2 において、異常要因出力要求信号の立ち下がりエッジを検出すると、伝送回路 1 1 0 内のパラレルイン／シリアルアウトシフトレジスタのデータは 1 ビットずつシフトし、アラーム信号出力端子 1 3 0 に異常要因識別信号として順に出力される。図示されていないシステム側では、異常要因出力要求信号の立ち上がりエッジでアラーム信号出力端子 1 3 0 の信号を読み出すことにより、どの相でどのような異常（アラーム信号による致命的異常またはウォーニング信号による前兆的異常）があったかという異常要因を識別することができる。

【 0 0 3 8 】

パラレルイン／シリアルアウトシフトレジスタのデータがすべて出力された場合、または異常要因出力要求信号が一定期間（ t_{d2} ：例えば $200\mu s$ ）以上「Low」レベル状態で保持されると、シリアル伝送モードが解除され、アラーム一括モードに変化する。ここで、アラーム一括モードとは、異常要因を区別せずに一括して 1 種類のアラーム信号を出力する従来のモードである。つまり、異常要因出力要求信号が入力されない限り、通常はアラーム一括モードになっているとすることができる。

【 0 0 3 9 】

このアラーム一括モードにおいて、アラーム信号出力端子 1 3 0 には制御回路 9 1, 9 2 のラッチデータのうち致命的異常を示す少なくとも一つの異常検出信号（アラーム信号）があると「Low」レベルの信号が出力される。図 2（c）の例（アラームがある場合）は、異常要因出力要求信号が入力される以前にアラーム要因が発生し、それが継続した場合のものである。

すなわち、致命的異常を示すアラーム信号は異常要因出力要求信号の有無に関わらず出力され、アラーム信号及びウォーニング信号を含むすべての異常検出信号に関する異常要因識別信号は、異常要因出力要求信号が入力されて初めて出力

されるようになっていいる。

【 0 0 4 0 】

本実施形態では以上の構成により、異常要因出力要求信号が入力されない場合やこの信号が一定時間以上継続しない場合には、アラーム一括モードとして従来の I P M と同様の動作を行ない、異常要因出力要求信号が入力された場合には異常要因識別信号も出力することとなる。このため、アラーム信号の出力機能に関して従来の I P M との互換性を保つことができ、異常要因出力要求信号が入力されて一定時間以上継続した場合には、シリアル伝送モードとして異常要因識別信号をシステム側に伝送することができる。

なお、本実施形態では、アラーム信号出力端子 1 3 0 をアラーム信号の出力端子と異常要因識別信号の出力端子とに共用しているが、それぞれ別個の出力端子を使用することも可能である。

【 0 0 4 1 】

次に、図 3 は本発明の第 2 実施形態を示しており、この実施形態では、上アームの異常検出ロジック 5 2，5 4 とレベルシフタ 8 1 a，8 2 a との間にエンコーダ 1 4 1，1 4 2 が設けられている以外は、図 1 と同一の構成である。

この実施形態では、異常検出ロジック 5 2，5 4 からの異常検出信号がエンコーダ 1 4 1，1 4 2 によりコード化されてレベルシフタ 8 1 a，8 2 a に送られ、更にレベルシフタ 8 1 a，8 2 a から制御回路 9 1，9 2 にそれぞれパラレルに伝送されるようになっていいる。なお、図示されていないが、制御回路 9 1，9 2 または伝送回路 1 1 0 内にはデコーダが設けられている。

【 0 0 4 2 】

図 1 の実施形態では各異常要因ごとの異常検出信号が異常検出ロジック 5 2，5 4 を介してそれぞれ個別にレベルシフタ 8 1，8 2 に送られるため、レベルシフタ 8 1，8 2 内の構成も異常検出信号の数に対応した構成が必要になるが、本実施形態では種々の異常検出信号をエンコーダ 1 4 1，1 4 2 によりコード化してレベルシフタ 8 1 a，8 2 a に送り、これをパラレル信号に変換して送出する構成であるため、レベルシフタ 8 1 a，8 2 a の回路構成を図 1 よりも簡略化することができる。

【 0 0 4 3 】

次いで、図 4 は本発明の第 3 実施形態を示すものである。この実施形態では、上アームの異常検出ロジック 5 2, 5 4 とレベルシフタ 8 1 b, 8 2 b との間にパラレルイン／シリアルアウトシフトレジスタ 1 0 1, 1 0 2 が設けられている以外は、図 1 と同一の構成である。

この実施形態では、上アームの異常検出信号がシフトレジスタ 1 0 1, 1 0 2 によりパラレル／シリアル変換され、レベルシフタ 8 1 b, 8 2 b 内のシリアルイン／パラレルアウトシフトレジスタによりパラレル信号に再度変換されて制御回路 9 1, 9 2 に送られ、ラッチされるようになっている。

【 0 0 4 4 】

本実施形態によれば、パラレルイン／シリアルアウトシフトレジスタ 1 0 1, 1 0 2 によって異常検出信号をシリアル信号に変換してレベルシフタ 8 1 b, 8 2 b に入力することにより、図 1 の実施形態に比べてレベルシフタ 8 1 b, 8 2 b の構成を簡略化することができ、特に異常検出信号の数が多い場合に有効である。

また、シフトレジスタ 1 0 1, 1 0 2 における異常検出信号のシフトクロックは、上アームに発振回路を設けてそのクロックパルスを用いても良いが、I G B T 1 2, 1 4 のオンパルスまたはオフパルスに同期したパルスを制御回路 9 1, 9 2 により作成し、レベルシフタ 8 1 b, 8 2 b を介してシフトレジスタ 1 0 1, 1 0 2 に伝送しても良い。

【 0 0 4 5 】

以下に、オフパルスに同期した場合について説明する。通常、レベルシフト信号は、損失を低減するために図 7 のようにオン信号とオフ信号に変換して伝送され、ラッチにより状態信号に再変換される。このため、図 8 に示すようにオフ信号（あるいはオン信号）が来ない限り再変換信号に違いはない。従って、図 8 のようにオフ信号に伝送すべき異常要因識別信号の数だけ（図 8 では 4 信号）のパルスを送出し、これをシフトレジスタ 1 0 1, 1 0 2 のシフトクロックとして利用することができる。この場合には、下アーム側でシフトクロックのタイミングが明確になっているため、下アームでの読み出しを容易にすることが可能となる。

。 オフパルス送出中にオンパルスが来た場合には、オフパルスの送出を中止して上アームからの異常要因読み出し信号を無効にすることにより、上アームでの再変換信号を正常に保つと共に誤った異常要因の読み出しが発生するのを防止することができる。

以上の場合にも、上アームからの異常要因読み出し信号をパルス化して損失を低減することは有効である。

【 0 0 4 6 】

上述のように第 1 ～ 第 3 実施形態によれば、1 種類のアラーム信号しか出力しない従来のシステムとの互換性を保ちつつ、必要に応じて異常要因識別信号を出力可能な I P M を実現することができ、致命的異常や前兆的異常の発生時にそれらの異常要因に適切かつ迅速に対応して素子等を保護することができる。特に、前兆的異常の要因を出力可能とすることで、運転停止を極力防止するシステムを構築することができる。

また、副次的な効果として、駆動電圧低下ウォーニング回路を設けることで電源電圧の時間変動などによる誤動作を防ぐと共に、ローパスフィルタなどによるレベルシフト信号の送れ時間を短縮することが可能となる。更に、レベルシフタの構成の簡略化により、レベルシフタにおける消費電力の節減も可能である。

【 0 0 4 7 】

次に、図 5 は本発明の第 4 実施形態を示している。

上述した第 1 ～ 第 3 実施形態によれば、伝送回路 1 1 0 の一つのアラーム信号出力端子 1 3 0 からアラーム信号及び異常要因識別信号をシリアル伝送することが可能であるが、信号をシリアルに伝送する回路は構成が複雑であり、また、そのシリアル信号を受信してデコードする回路も複雑になってトータルコストが高くなりやすい。そこで本実施形態では、アラーム信号と各種ウォーニング信号とを分離して個別に出力させ、それらの出力信号の組み合わせによって異常要因を識別することとした。

【 0 0 4 8 】

すなわち、図 5 において、第 1 ～ 第 3 実施形態と同一の構成要素には同一の参

照符号を付してある。なお、図 5 では一相分の上アーム及び下アームについて示してあるが、他相のアームについても同一の構成である。

このインテリジェントパワーモジュール I P M において、4 1 7 は駆動電圧低下検出回路であり、第 1 ～第 3 実施形態における駆動電圧低下検出回路 4 1 3 及び駆動電圧低下ウォーニング回路 4 1 5 の機能を併せ持つものである。同様に、駆動電圧低下検出回路 4 2 7 も第 1 ～第 3 実施形態における駆動電圧低下検出回路 4 2 3 及び駆動電圧低下ウォーニング回路 4 2 5 の機能を併せ持っている。

また、4 1 8 は I G B T 過熱検出回路であり、第 1 ～第 3 実施形態における I G B T 過熱検出回路 4 1 2 及び I G B T 過熱ウォーニング回路 4 1 6 の機能を併せ持つものである。同様に、I G B T 過熱検出回路 4 2 8 も第 1 ～第 3 実施形態における I G B T 過熱検出回路 4 2 2 及び I G B T 過熱ウォーニング回路 4 2 6 の機能を併せ持っている。

【 0 0 4 9 】

上アームに設けられた O R ゲート 4 2 9 には、上アームの過電流検出回路 4 2 1 からの過電流アラーム信号と、I G B T 過熱検出回路 4 2 8 からの I G B T 過熱アラーム信号と、駆動電圧低下検出回路 4 2 7 からの電圧低下アラーム信号とが入力され、その出力信号は I G B T 駆動回路 3 2 に加えられていると共に、高耐圧レベルシフタ 8 1 c を介して O R ゲート 4 5 1 の一方の入力端子に加えられる。

同様にして下アームに設けられた O R ゲート 4 1 9 には、下アームの過電流検出回路 4 1 1 からの過電流アラーム信号と、I G B T 過熱検出回路 4 1 8 からの I G B T 過熱アラーム信号と、駆動電圧低下検出回路 4 1 7 からの電圧低下アラーム信号とが入力され、その出力信号は I G B T 駆動回路 3 1 に加えられていると共に前記 O R ゲート 4 5 1 の他方の入力端子に加えられる。

なお、I G B T 駆動回路 3 1, 3 2 にはそれぞれ外部の制御回路から端子 I N N, I N P を介して制御信号が入力されている。

【 0 0 5 0 】

上アームの駆動電圧低下検出回路 4 2 7 から出力される電圧低下ウォーニング信号はレベルシフタ 8 1 c を介して O R ゲート 4 5 2 の一方の入力端子に加えられる。

れ、下アームの駆動電圧低下検出回路 4 1 7 から出力される電圧低下ウォーニング信号は OR ゲート 4 5 2 の他方の入力端子に加えられている。

また、上アームの I G B T 過熱検出回路 4 2 8 から出力される I G B T 過熱ウォーニング信号はレベルシフタ 8 1 c を介して OR ゲート 4 5 3 の一方の入力端子に加えられ、下アームの I G B T 過熱検出回路 4 1 8 から出力される I G B T 過熱ウォーニング信号は OR ゲート 4 5 3 の他方の入力端子に加えられている。

【 0 0 5 1 】

OR ゲート 4 5 2 の出力信号は電圧低下ウォーニング信号として出力端子 L V W から出力され、OR ゲート 4 5 3 の出力信号は I G B T 過熱ウォーニング信号として出力端子 O H J W から出力される。

ここで、ウォーニング信号とは、前述のように駆動電圧低下や I G B T の過熱が致命的異常に至る前段階で I G B T 1 1, 1 2 を遮断（自己トリップ）することなく前兆的異常として外部に伝送し、システムに対して負荷（交流電動機等）の運転停止を促すための信号である。

【 0 0 5 2 】

このように本実施形態では、出力端子 A L M, L V W, O H J W から 3 種類の信号（アラーム信号が 1 種類、ウォーニング信号が 2 種類）が出力され、各信号の論理「1」, 「0」の組み合わせ（8 通り）から、表 1 に示すような故障解析を行う。

なお、論理「1」は異常あり、論理「0」は異常なしをそれぞれ意味する。

【 0 0 5 3 】

【表 1】

ALM	LVW	OHJW	故障解析
0	0	0	IPM は正常である。
0	0	1	上下アームの何れかの素子温度が異常である。 トリップする危険あり。
0	1	0	上下アームの何れかの制御電源が異常である。 トリップする危険あり。
0	1	1	上下アームの何れかの素子温度が異常、かつ、制御電源 が異常である。トリップする危険あり。
1	0	0	上下アームの何れかの素子が過電流により自己トリップ した。
1	0	1	上下アームの何れかの素子が過熱により自己トリップ した。
1	1	0	上下アームの何れかの制御電源の電圧低下により 自己トリップした。
1	1	1	上下アームの何れかの素子が過熱、かつ、制御電源の 電圧低下により自己トリップした。

【0 0 5 4】

例えば、表 1 において、出力信号の論理が出力端子 A L M, L V W, O H J W の順に「1, 0, 1」である場合には、アラーム信号と I G B T 過熱ウォーニング信号とが同時に発生したことから、上アームまたは下アームの I G B T 1 2, 1 1 の何れかが過熱により自己トリップしたと推定することができる。また、出力信号の論理が「1, 0, 0」である場合には、駆動電圧低下ウォーニング信号と I G B T 過熱ウォーニング信号の両方がないことから、上アームまたは下アームの I G B T 1 2, 1 1 の何れかが過電流により自己トリップしたと推定することができる。なお、これらはどれも致命的異常が発生した場合である。

他の論理の組み合わせについても、同様にして表 1 に記載するような解析を行

うことが可能である。特に、アラーム信号が「0」であって何れかのウォーニング信号が「1」である場合には、現状では致命的異常ではないが放置しておくとな致命的異常に至る前兆的な異常要因を推定することができ、素子等の保護対策をとるうえで極めて有効である。

【0055】

この第4実施形態によれば、第1～第3実施形態のように単一の出力端子からアラーム信号と異常要因識別信号とをシリアルに出力させる方法ではなく、複数の出力端子からアラーム信号とウォーニング信号とをそれぞれ出力させてそれらの論理の組み合わせにより異常要因まで識別することができる。このため、第1～第3実施形態のように信号をシリアルに出力させるための回路構成が不要になり、比較的簡単な回路構成によって前兆的異常の段階で適切な保護対策をとることができる。

なお、図5におけるレベルシフタ81cやORゲート451～453は本発明に必須の構成要素ではない。つまり、上アームまたは下アームだけでそれぞれアラーム信号、電圧低下ウォーニング信号、IGBT過熱ウォーニング信号を生成し、それらの信号の論理の組み合わせによって故障解析すなわち異常要因の識別を行っても良い。

【0056】

【発明の効果】

以上説明したように本発明によれば、致命的異常によるアラーム信号ばかりでなく、必要に応じて前兆的異常を含む異常要因の識別が可能になるため、従来のシステムとの互換性を持たせることができると共に、素子や駆動回路等に対するきめ細かい保護対策をとることができる。

また、出力端子を多数設けなくても異常要因を識別できるため、フォトカプラのような絶縁形信号伝送素子の数も少なく済み、低コストのIPMを提供することが可能になる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態を示すブロック構成図である。

【図 2】

第 1 実施形態の動作を示すタイミングチャートである。

【図 3】

本発明の第 2 実施形態を示すブロック構成図である。

【図 4】

本発明の第 3 実施形態を示すブロック構成図である。

【図 5】

本発明の第 4 実施形態を示すブロック構成図である。

【図 6】

従来技術を示すブロック構成図である。

【図 7】

レベルシフト信号の説明図である。

【図 8】

レベルシフト信号の説明図である。

【符号の説明】

1 1 ~ 1 4 I G B T
2 1 ~ 2 4 フリーホイールリングダイオード
3 1 ~ 3 4 I G B T 駆動回路
5 1 ~ 5 4 異常検出ロジック
7 1, 7 2, 8 1, 8 1 a, 8 1 b, 8 2, 8 2 a, 8 2 b レベルシフタ
8 1 c レベルシフタ
9 1, 9 2 制御回路
1 0 1, 1 0 2 シフトレジスタ
1 1 0 伝送回路
1 2 0 異常要因出力要求信号入力端子
1 3 0 アラーム信号出力端子
1 4 1, 1 4 2 エンコーダ
4 1 1, 4 2 1, 4 3 1, 4 4 1 過電流検出回路
4 1 2, 4 2 2, 4 3 2, 4 4 2 I G B T 過熱検出回路

4 1 8, 4 2 8 I G B T 過熱検出回路

4 1 3, 4 2 3, 4 3 3, 4 4 3 駆動電圧低下検出回路

4 1 7, 4 2 7 駆動電圧低下検出回路

4 1 4, 4 2 4, 4 3 4, 4 4 4 フリーホイーリングダイオード過熱検出回路

4 1 5, 4 2 5, 4 3 5, 4 4 5 駆動電圧低下ウォーニング回路

4 1 6, 4 2 6, 4 3 6, 4 4 6 I G B T 過熱ウォーニング回路

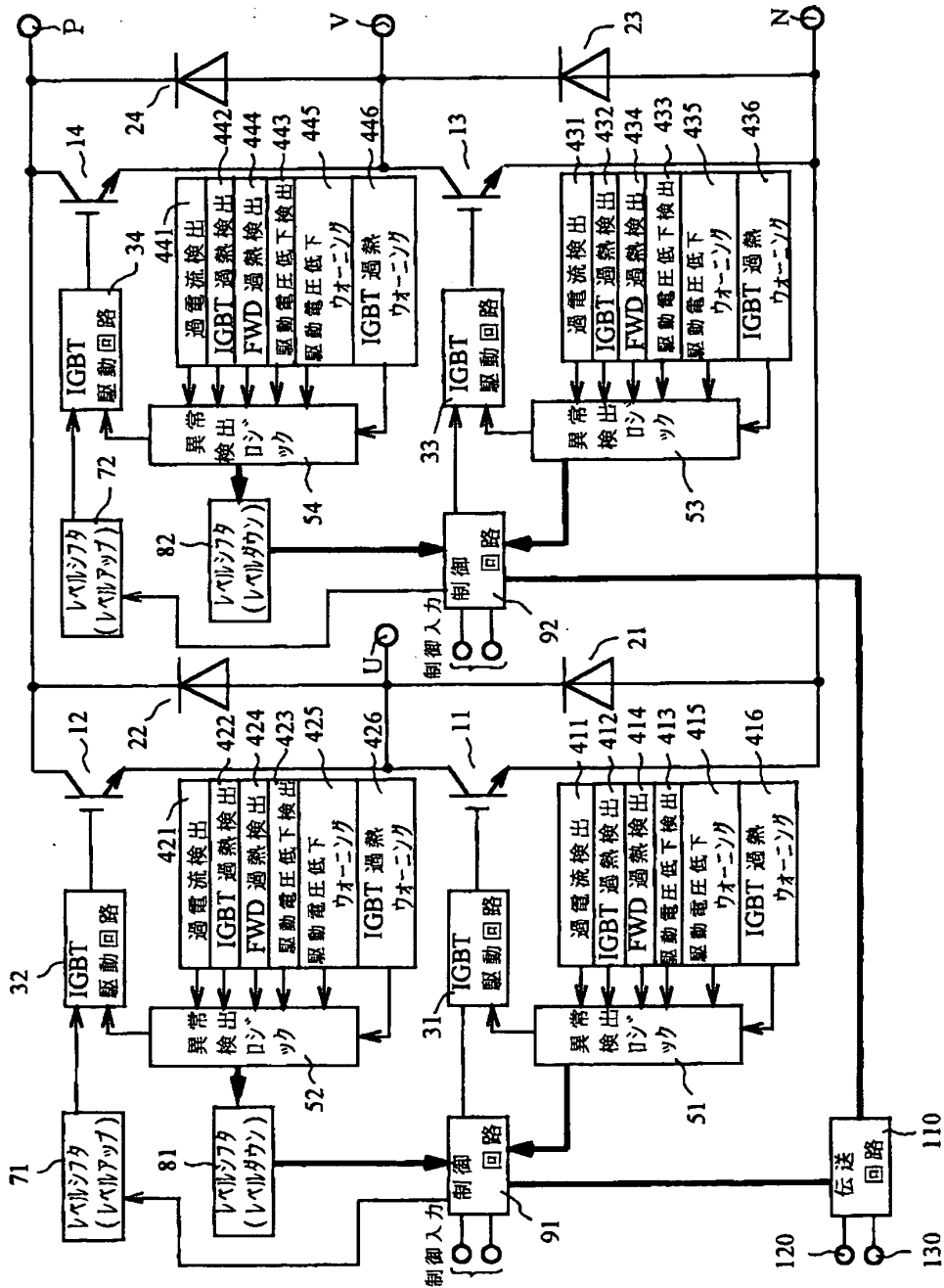
4 1 9, 4 2 9, 4 5 1, 4 5 2, 4 5 3 O R ゲート

P, N 直流入力端子

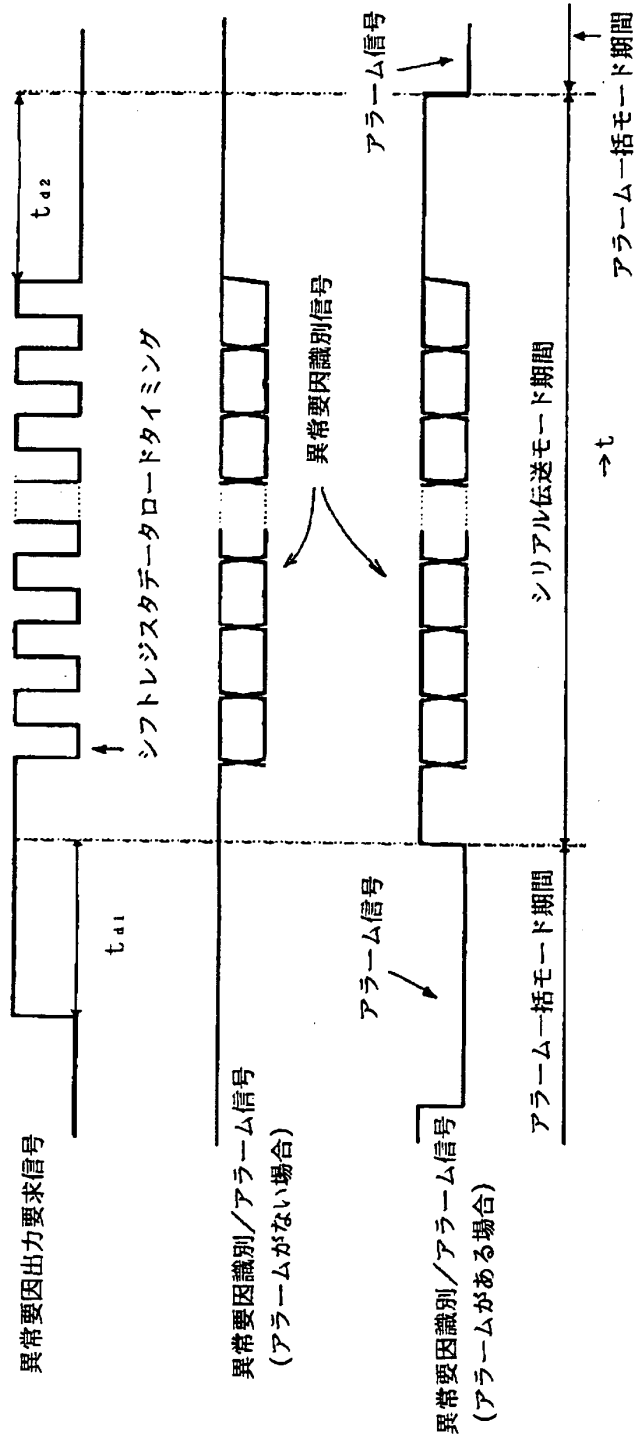
U, V 交流出力端子

【書類名】 図面

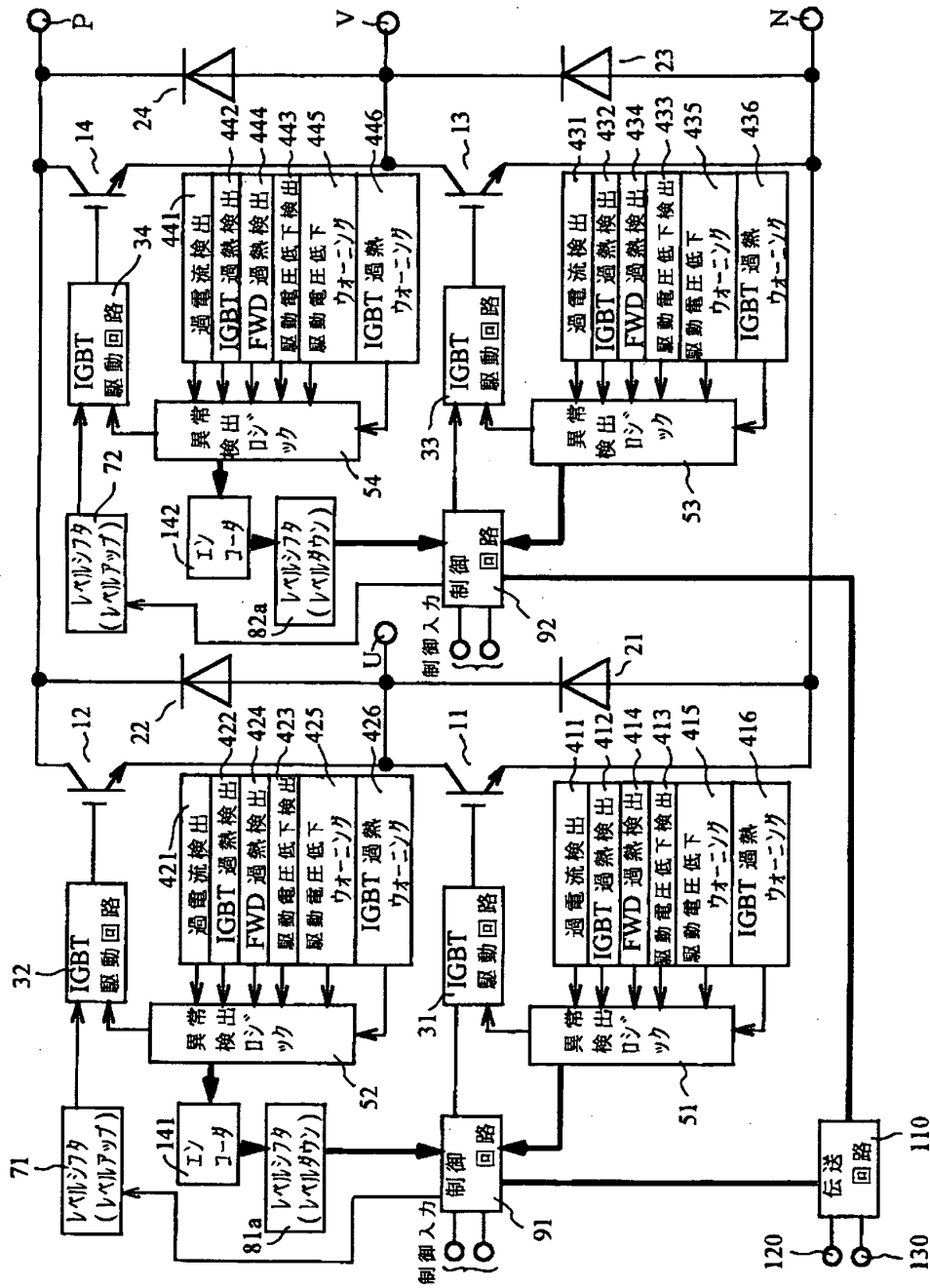
【図 1】



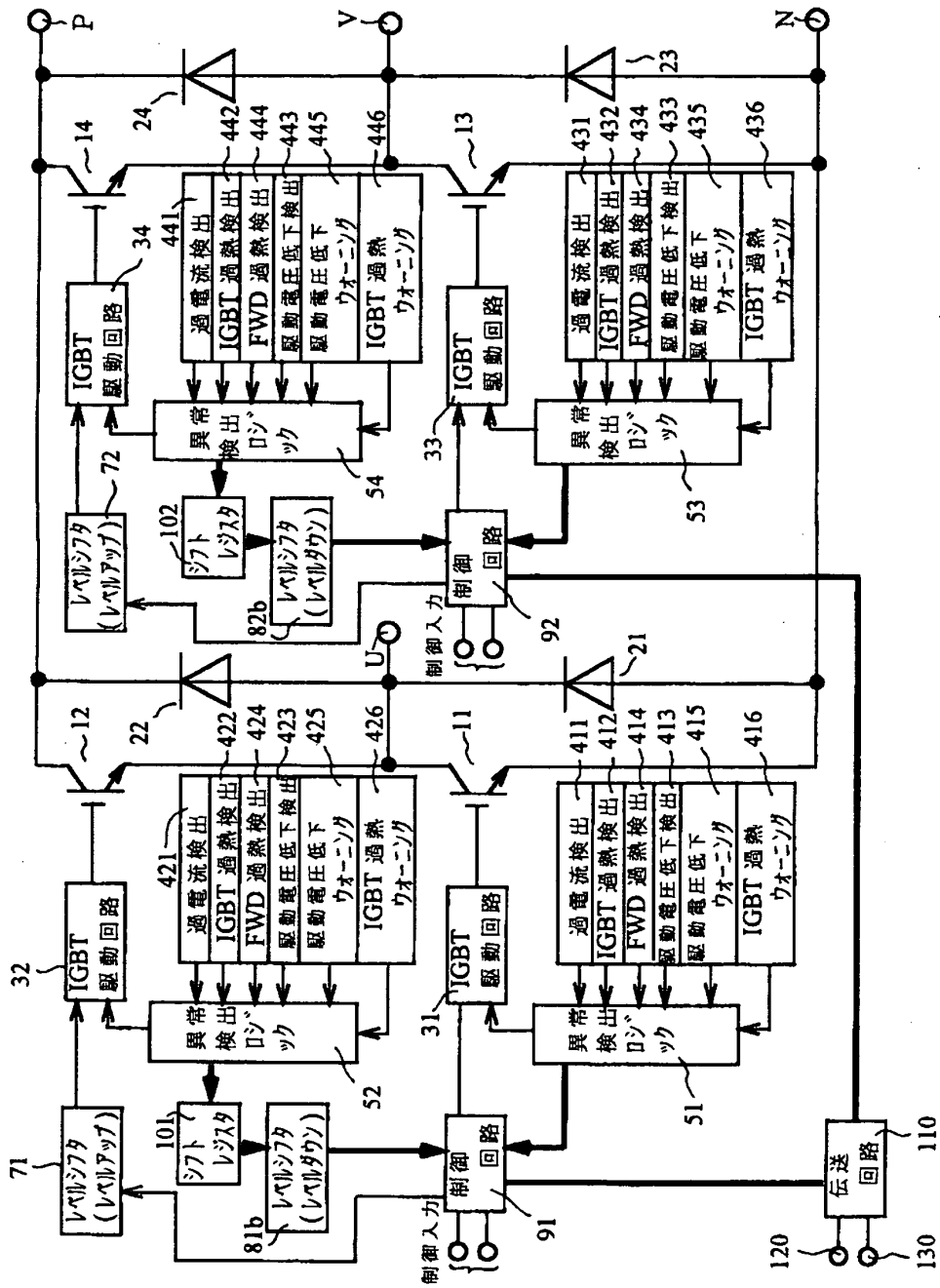
【図2】



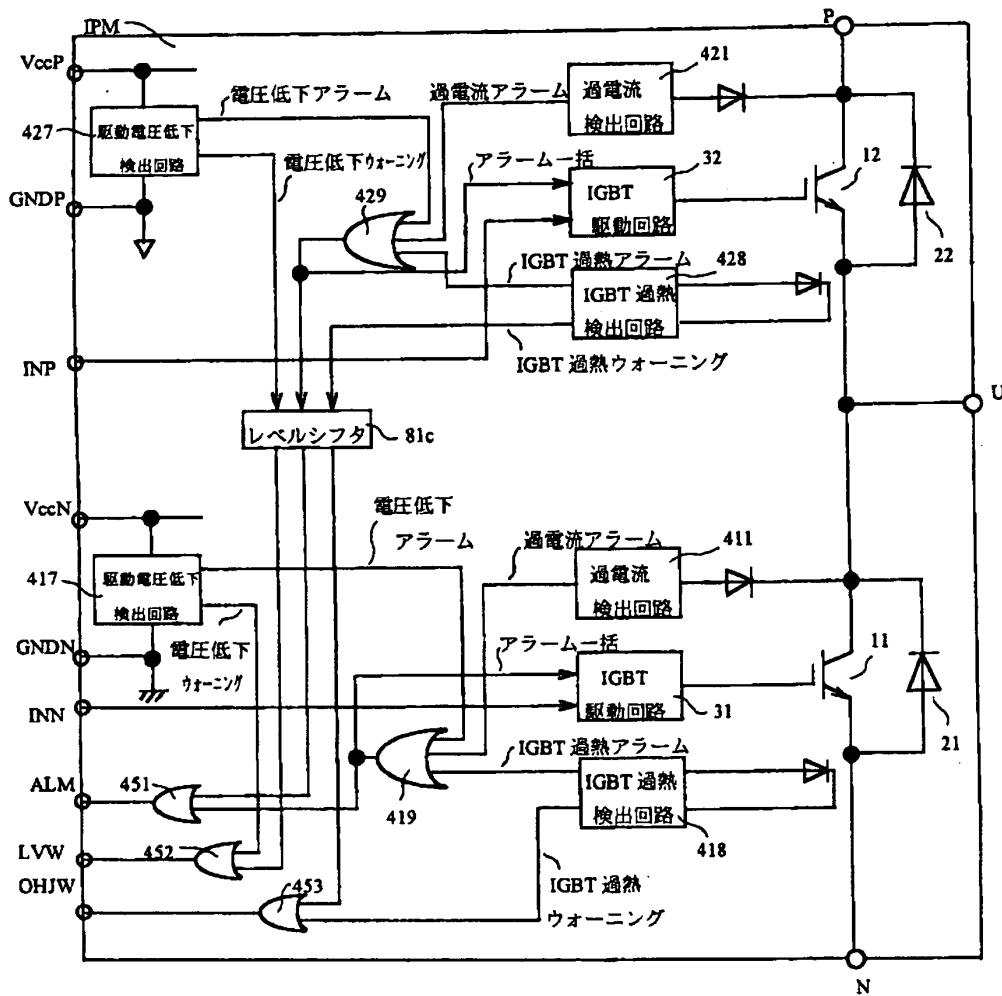
【図3】



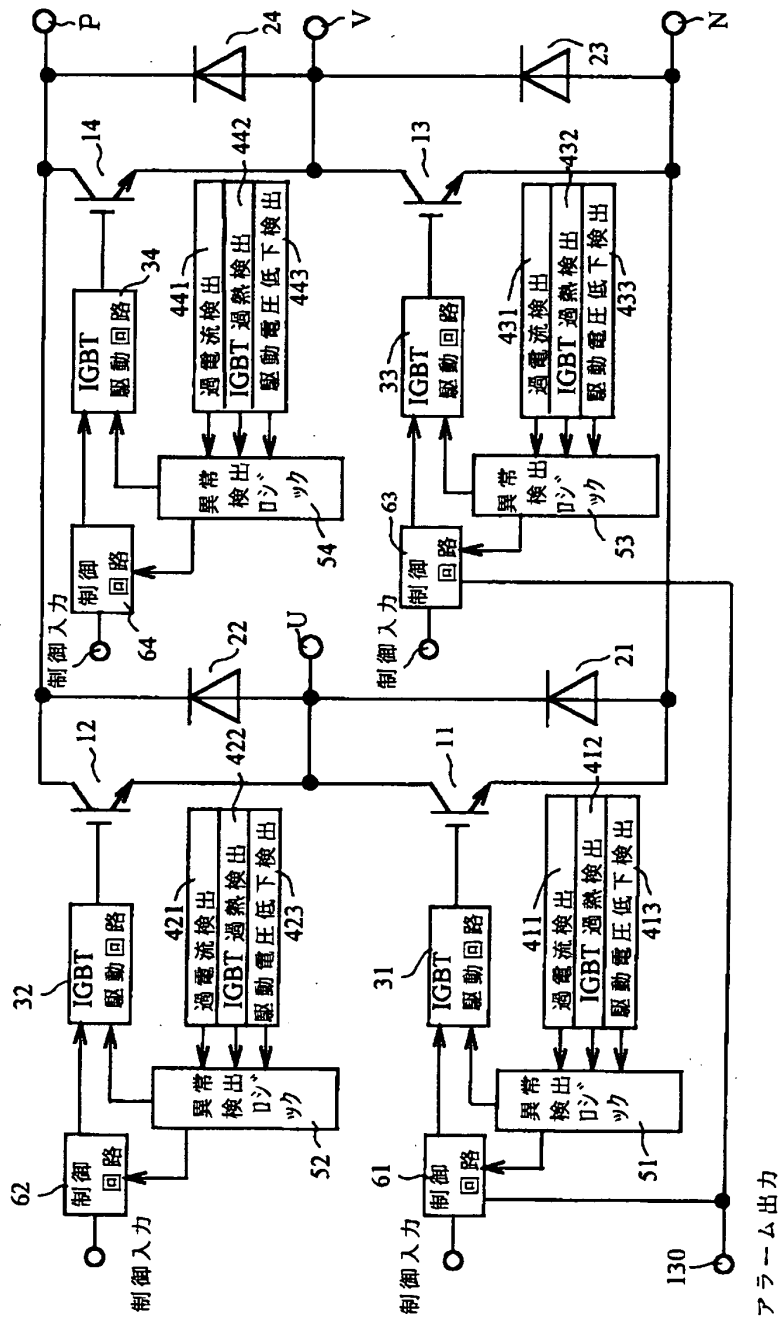
【図4】



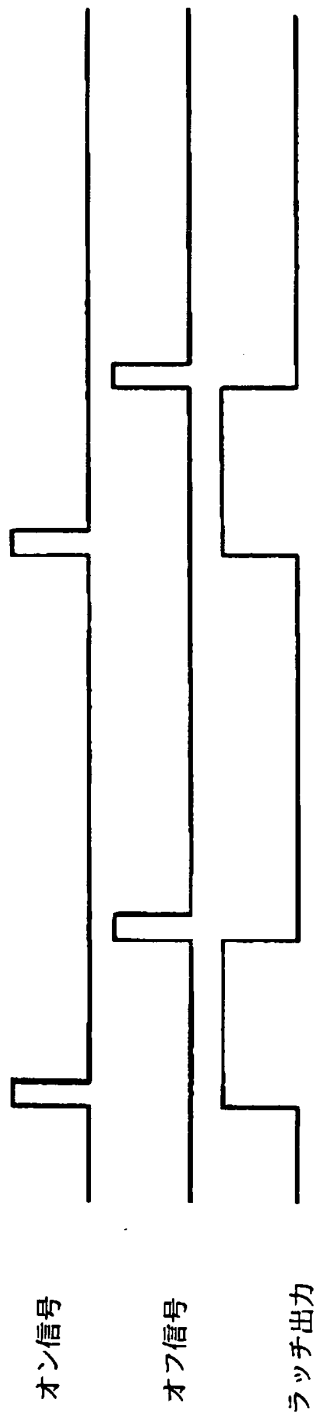
【図 5】



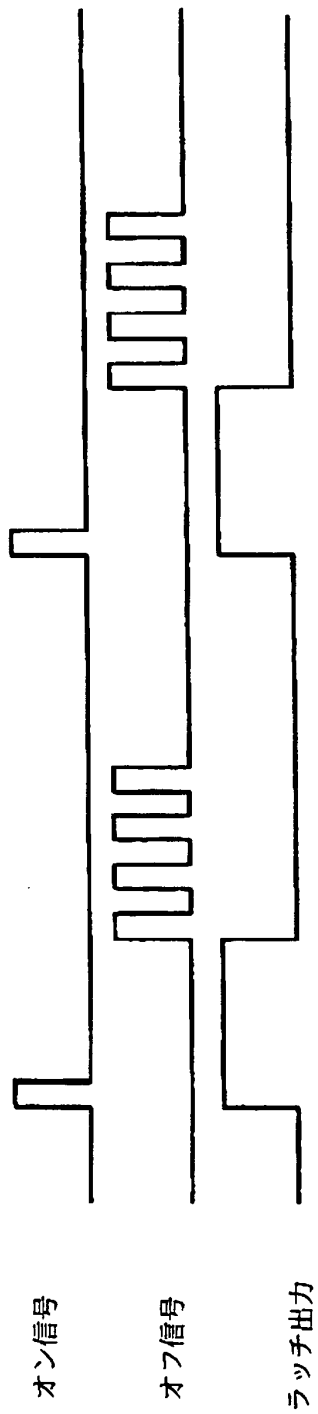
【図6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 1 種類のアラーム信号しか出力しない従来システムとの互換性を持たせる。異常要因を外部に伝送可能として、異常発生時の適切な対応を可能にする。

【解決手段】 半導体スイッチング素子 1 1 ～ 1 4 と、駆動電源を含む駆動回路 3 1 ～ 3 4 と、スイッチング素子または駆動回路等の致命的異常及び前兆的異常を検出する各種の検出回路及びウォーニング回路と、これらの回路による異常検出時にスイッチング素子 1 1 ～ 1 4 の保護動作を行う異常検出口ジック 5 1 ～ 5 4 及び駆動回路 3 1 ～ 3 4 等と、異常検出信号に基づく信号を外部に出力するための制御回路 9 1, 9 2、伝送回路 1 1 0 とを備える。前記伝送回路 1 1 0 に、致命的異常の検出時にアラーム信号を出力する出力端子と、致命的異常及び前兆的異常を含む異常要因を示す異常要因識別信号を出力する出力端子とを設け、望ましくはこれらを単一の出力端子 1 3 0 として共用する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005234]

1. 変更年月日 1990年 9月 5日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田1番1号

氏 名 富士電機株式会社